

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-158249

(43)Date of publication of application : 17.07.1986

(51)Int.Cl.

H04L 25/49

H04L 7/00

(21)Application number : 59-279923

(71)Applicant : FUJI ELECTRIC CO LTD
FUJI FACOM CORP

(22)Date of filing : 29.12.1984

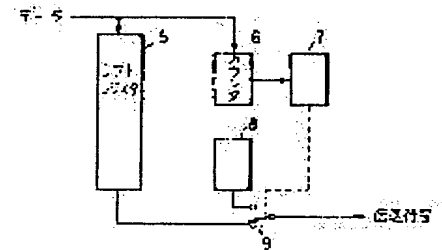
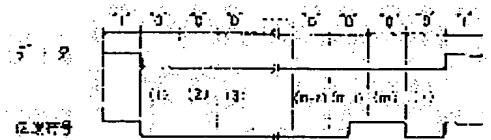
(72)Inventor : KATO TOMIO

(54) CODE SYSTEM

(57)Abstract:

PURPOSE: To prevent an reception error due to a step-out by putting the codes reverse to the continuous logic in a period between the center of the $(m-1)$ -th bit and the end of the m -th bit when (m) or more pieces of same bits are delivered continuously.

CONSTITUTION: A counter 6 detects that the same logic of data is continuous in (m) bits and informs this to a switch control circuit 7. The circuit 7 controls a switch circuit 9 at the $(m-1)$ -th and m -th bit output timings and switches the circuit 9 at the side of a signal generating circuit 8. The circuit 8 produces the codes of the deformation patterns corresponding to the $(m-1)$ -th and m -th bits when the circuit 9 is switched to the side of the circuit 8. Both the counter 6 and the circuit 7 are initialized for each change of data. Thus a timing extracting circuit at the reception side is restarted within a fixed period of time. This prevents a reception error due to a step-out.



7 切替制御回路
8 信号発生回路
9 切替回路

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-158249

⑬ Int. Cl.

H 04 L 25/49
7/00

識別記号

庁内整理番号

C-7345-5K
E-6745-5K

⑭ 公開 昭和61年(1986)7月17日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 符号方式

⑯ 特 願 昭59-279923

⑰ 出 願 昭59(1984)12月29日

⑱ 発 明 者 加 藤 富 雄 日野市富士町1番地 富士ファコム制御株式会社内

⑲ 出 願 人 富士電機株式会社 川崎市川崎区田辺新田1番1号

⑲ 出 願 人 富士ファコム制御株式
会社 日野市富士町1番地

⑳ 代 理 人 弁理士 玉 蟲 久五郎 外2名

明 細 書

1. 発明の名称 符号方式

2. 特許請求の範囲

自己同期式のベースバンドデータ伝送において、送信側で同一論理のビットが m 以上連続するときその連続部の第 $(m-1)$ 番目のビットの中央から第 m 番目のビットの終りまでの期間に該連続論理の逆論理の符号を挿入して送出し、受信側で受信信号に挿入された逆論理の符号を検出してその期間に対応するマスキング信号を発生し該マスキング信号によつて受信信号に挿入された逆論理の符号をマスクすることによつて送信側におけるもとのデータを修復することを特徴とする符号方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は自己同期方式のベースバンドデータ伝送における符号方式に係り、特に伝送符号における“0”と“1”のいずれについても一定ビット数以

上連続しないように符号化することができる符号方式に関するものである。

〔従来の技術〕

この種の符号方式における受信側での同期タイミング抽出方法としては、例えば一定の遅延時間を有する遅延回路を時間基準として使用し、~~入力信号をこの遅延回路を時間基準として使用し、~~入力信号をこの遅延回路を経て遅延させた信号を反転して入力信号との論理積をとることによつて、“0”、“1”の連続を“1”と“0”が交互に繰り返す信号に変換する回路を用いるものが提案されている。

第6図はこのような従来の同期タイミング抽出回路を示したものであつて、1a, 1bは遅延回路、2a, 2bはアンド回路、3, 3a, 3bは否定回路、4はオア回路である。また第7図は第6図の回路における各部信号を示し、 V_{IN} は入力信号、 $CK1$ は入力信号が“H”レベルのときの同期タイミング信号であつて、(a)は入力信号の“H”が比較的短い場合を、(b)は入力信号の“H”が長く続いた場合を示している。

第6図において、受信した入力信号 V_{IN} はアンド回路2aの一方の入力に加えられ、アンド回路2aの出力は遅延回路1aおよび否定回路3aを経てアンド回路2aの他方の入力に帰還される。これによつて入力信号 V_{IN} が“H”レベルのとき、例えば第7図(a)に示すように遅延回路1aの立下り遅れ時間 d 、立上り遅れ時間 d を交互に繰り返す同期タイミング信号 $CK1$ が、アンド回路2aの出力に得られる。

一方、受信入力信号 V_{IN} は否定回路3を経て反転されたのち、アンド回路2b、遅延回路1b、否定回路3bからなる帰還ループに加えられることによつて、入力信号 V_{IN} が“L”レベルのとき、同様にして遅延回路1bの立下り遅れ時間と立上り遅れ時間とを交互に繰り返す同期タイミング信号 $CK2$ がアンド回路2bの出力に得られる。

両同期タイミング信号はオア回路4を経て加算され、入力信号の“H”レベルと“L”レベルとに対応する同期タイミング信号出力 CK が出力される。なおこのような同期タイミング抽出方法について

(3)

い、受信側でこの信号によつて同期タイミング抽出を行つたのち、挿入された符号を削除してデータを取り出す方法が従来行われている。しかしながらこのような反対論理符号を挿入する方式によつた場合は、当然挿入された符号を伝送する余分に時間がかかるという問題がある。

本発明はこのような従来技術の問題点を解決しようとするものであつて、自己同期式のベースバンドデータ伝送において、同一論理のビットが多数連続する場合でも、受信エラーの原因となる同期ずれが発生することがなく、しかも従来の符号挿入方式のように余分な伝送時間を必要としない符号方式を提供しようとするものである。

〔問題点を解決するための手段〕

本発明の符号方式は、送信側で同一論理のビットが m 以上連続するときその連続部の第 $(m-1)$ 番目のビットの中央から第 m 番目のビットの終りまでの1ビット分の期間にこの連続論理の逆論理の符号を挿入して送出し、受信側で受信信号に挿入された逆論理の符号を検出してその期間に対応

(5)

は本出願人による特願昭57-165359号(特開昭59-54344号)において詳細に説明されている。

〔発明が解決しようとする問題点〕

第6図に示された同期タイミング抽出方法では、受信入力信号の“H”または“L”の期間が比較的短い場合は、第7図(a)に示すように入力データと同期タイミング信号とのビット対応が正しく保たれる。しかしながら第6図に示された遅延回路1a、1bの立下り遅延時間、立上り遅延時間はそれぞれ固定であり、従つて受信入力信号の“H”または“L”が長く続く場合には、遅延回路に基づく時間的歪が蓄積されて、入力データと同期タイミング信号とのビット対応が次第にずれることがある。第7図(b)は入力信号の“H”期間が長く、そのため同期ずれが生じた場合を示し、図中 t は同期ずれの時間を示し、 P は同期ずれ時間 t に起因する誤信号を示している。

このような同期ずれの発生を防止する方法として、同一論理状態が一定時間以上継続しないように、反対論理の符号を挿入する処理を送信側で行

(4)

するマスキング信号を発生し、このマスキング信号によつて受信信号をマスクすることによつて送信側におけるもとのデータを修復するようにしたものである。

〔作用〕

本発明の符号方式では自己同期式のベースバンドデータ伝送において、送信側で同一論理のビットが m 以上連続するときその連続部の第 $(m-1)$ 番目のビットの中央から第 m 番目のビットの終りまでの期間にこの連続論理の逆論理の符号を挿入して送出し、受信側で挿入された逆論理の符号を検出して発生したマスキング信号によつて受信信号をマスクして送信側におけるもとのデータを修復するので、伝送符号が“0”、“1”のいずれについても一定ビット数以上連続しないように符号化され、従つて受信側のタイミング抽出回路が一定時間以内に再起動されることになり、同期ずれによる受信誤りが防止される。

〔実施例〕

第1図は本発明の一実施例の伝送符号を示した

(6)

ものであつて、連続する m ビットの同一論理のデータを伝送する際の伝送符号を示し、論理“0”の場合を例示している。すなわち本発明における伝送符号は、同一論理データの第 $(m-1)$ 番目と第 m 番目とを「変形」させて、同一論理データが m ビット連続することの目印としている。

第2図は本発明の一実施例の符号発生回路を示したものである。同図において5は m ビットのシフトレジスタ、6はカウンタ、7は切替制御回路、8は信号発生回路、9は切替回路である。

第2図において、 m ビットのデータは m ビットのシフトレジスタ5と切替回路9とを経て伝送路に出力される。この際カウンタ6はデータにおける同一論理が m ビット連続することを検出して、切替制御回路7にその旨を通知する。切替制御回路7は、第 $(m-1)$ ビット目と第 m ビット目の出力タイミングにおいて、切替回路9を制御して信号発生回路8の側に切り替える。信号発生回路8は、第1図の伝送符号における第 $(m-1)$ ビット目と第 m ビット目とに相当する「変形」パターンの符号

(7)

力には、フリップフロップ18で生成されるタイミング信号 \overline{DPT} と DPT とがそれぞれ加えられる。アンド回路16,17の出力およびタイミング信号 $CK2$ とはオア回路40に加えられて、論理和をとられることによつてタイミング信号 CK を発生する。タイミング信号 CK は、本発明の方式における受信回路のサンプリングクロックとして用いられるものである。フリップフロップ18は、受信信号 V_{IN} をシフトレジスタ21によつてクロック CK の立上りでサンプリングした信号 V_a によつてリセットされる。なお第3図の回路において、各遅延回路1a,1bの遅延時間はほぼ等しく設定されている。

第4図は本発明の一実施例のサンプリング回路を示したものであつて、22,23はアンド回路、24,25は同一構成の1ビットのシフトレジスタである。

第3図に示されたタイミング抽出回路から得られたタイミング信号 CK は、1ビットのシフトレジスタ24,25にクロックとして与えられる。アンド回路22は受信入力信号 V_{IN} と第3図におけるフ

(9)

を発生できるように構成されており、切替回路9が信号発生回路8の側に切り替えられたとき、この符号を伝送路へ出力する。カウンタ6および切替制御回路7は、データが変化する(第1図の例ではデータが“0”から“1”に変化する)ごとに初期化される。

第3図は本発明の一実施例における受信側のタイミング抽出回路を示し、第6図におけると同じ部分は同じ符号で示されており、40は3入力オア回路、15~17はアンド回路、18はプリセット機能つきフリップフロップ、19,20は否定回路、21はシフトレジスタである。

第3図において、タイミング信号 $CK2$ は遅延回路1bで1ビット遅延されて、タイミング信号 $CK2$ の遅延信号 $CK2D$ を生じる。アンド回路15は信号 $CK2D$ と受信信号 V_{IN} がともに“1”のとき、フリップフロップ18をセットする。

一方、タイミング信号 $CK1$ はアンド回路16に加えられるとともに、否定回路19を介してアンド回路17に加えられる。アンド回路16,17の他方の入

(8)

リップフロップ18のタイミング信号 \overline{DPT} とを入力され、その出力はシフトレジスタ24に出力として与えられる。アンド回路23はシフトレジスタ14の出力 OUT とタイミング信号 \overline{DPT} とを入力され、その出力はシフトレジスタ25に出力として与えられる。

第5図は第3図のタイミング抽出回路と第4図のサンプリング回路における各部信号を示すタイムチャートであつて、本発明の符号方式を用いた場合における受信側の動作を説明するものである。

いま“0”が m ビット連続するデータの受信を行うものとする、受信信号 V_{IN} は前述のように送信側で本発明の方式で符号化されて、第 $(m-1)$ ビット目と、第 m ビット目とが「変形」されたものとなつている。

クロック $CK2$ は受信信号 V_{IN} の立下りで立上つて、受信信号 V_{IN} が“L”レベルの間、“H”レベルと“L”レベルとを交互に繰り返す。クロック $CK2D$ は遅延回路1bを経てクロック $CK2$ より1ビット遅れている。アンド回路15は受信入力信号 V_{IN} と

(10)

クロック $CK2D$ との論理積をとることによつて、入力信号 V_{IN} の第 $(m-1)$ 番目のビットの後半における“ H ”を検出して、出力信号 DTR を発生する。信号 DTR は入力信号 V_{IN} における「変形」の存在を示す検出信号である。フリップフロップ 8 は信号 DTR の立上りによつてセットされ、信号 V_0 が“ H ”レベルのときクロック CK の立上りでリセットされることによつて、入力信号 V_{IN} における第 $(m-1)$ 番目のビットと第 m 番目のビットとにおける「変形」部分に対応する出力 DPT を発生する。

アンド回路 22 は受信入力信号 V_{IN} とフリップフロップ 18 のタイミング信号 \overline{DPT} との論理積の出力を発生し、シフトレジスタ 24 はアンド回路 22 の出力をタイミング信号 CK の立下りでサンプリングし 1 ビット遅延させて出力信号 OUT_0 を発生する。アンド回路 23 は信号 OUT_0 とタイミング信号 \overline{DPT} との論理積の出力を発生し、シフトレジスタ 25 はアンド回路 23 の出力をタイミング信号 CK の立下りでサンプリングし 1 ビット遅延させて出力信号 OUT_1 を発生するが、出力信号 OUT_1 は入力

(11)

ティビット付加や、いわゆる $HDLC$ 伝送手順における“0”挿入(“1”が5ビット以上連続する場合に6ビット目に“0”を挿入して伝送し、受信側で6ビット目の“0”を削除する。)のように、“1”が一定数以上連続しないような符号方式が予め考えられている場合が多いことによる。

なお上述の実施例ではデータ“0”が m ビット連続する場合について述べたが、データ“1”が m ビット連続する場合についても同様に考えて本発明の方式を適用し得ることは言うまでもない。

〔発明の効果〕

以上説明したように本発明の符号方式によれば、自己同期式のベースバンドデータ伝送における伝送付号が“0”、“1”のいずれについても一定のビット数以上連続しないように符号化されるので、受信側のタイミング抽出回路が一定時間以内に再起動されることになつて、同期外れによる受信誤りが防止される。

また本発明の方式によれば、伝送符号が“0”または“1”の一方に縮退することがないので、特に

(13)

信号 V_{IN} における第 $(m-1)$ ビット目と第 m ビット目とに相当するデータが「修復」されて、“0”が m ビット連続する送信側におけるもとのデータが再現されている。

なお第5図において、シフトレジスタ 24 の出力 OUT_0 の第 $(m-1)$ ビットが“1”になつているのは、アンド回路 15 のゲート遅延によつてその出力信号 DTR の立上りが遅れ、さらにフリップフロップ 18 の遅延によつてその出力信号 DPT の立上りが遅れ、その結果アンド回路 22 における信号 \overline{DPT} による受信入力信号 V_{IN} のマスキングのタイミングが、シフトレジスタ 24 のサンプリングのタイミングに対して間に合わないためである。第4図の回路においては、信号 OUT_0 の第 $(m-1)$ ビット目に現われた“1”を「修復」して“0”にするため、アンド回路 23 とシフトレジスタ 25 とを追加して用いている。

以上説明した実施例においては、データ“0”が m ビット連続する場合を想定しているが、その理由は主として一般のデータ伝送方式におけるバリ

(12)

光伝送に適用した場合に光電変換回路と信号増幅器とを容量結合とすることができ、従つて増幅器の飽和が防止されるので応答特性が向上する。なお伝送符号の縮退がないことは、その縮退を検出する回路(図示せず)を付加することによつて、伝送路の断線異常の検出を行うことができるという利点があることを意味している。

さらに本発明の符号方式によれば、従来の光伝送方式におけるようなマンチエスタ符号(RZ信号)を用いる必要がなく、NRZ信号とすることができるため、従来性能の光送受信系を用いて従来の2倍の伝送速度を実現できる効果があるものである。

さらに本発明の方式では、伝送符号に冗長ビットを追加していないので、 $HDLC$ 伝送手順によるデータをそのまま伝送できるという効果がある。

4. 図面の簡単な説明

第1図ないし第5図は本発明の符号方式の一実施例を示したものであつて、第1図は伝送符号の一例を示す図、第2図は符号発生回路の構成例を

(14)

示す図、第3図は受信側のタイミング抽出回路の構成例を示す図、第4図はサンプリング回路の構成例を示す図、第5図は受信側の動作を説明するタイムチャートである。また第6図は従来のタイミング抽出回路の構成を示す図、第7図は第6図の回路におけるタイミング信号抽出を示すタイムチャートである。

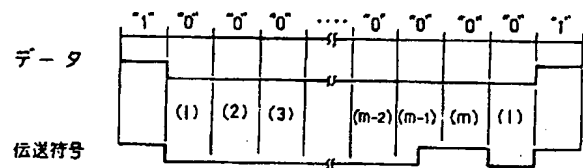
1a, 1b ... 遅延回路、2a, 2b ... アンド回路、3, 3a, 3b ... 否定回路、4 ... オア回路、4c ... 3入力オア回路、5 ... シフトレジスタ、6 ... カウンタ、7 ... 切替制御回路、8 ... 信号発生回路、9 ... 切替回路、15~17 ... アンド回路、18 ... フリップフロップ、19, 20 ... 否定回路、21 ... シフトレジスタ、22, 23 ... アンド回路、24, 25 ... シフトレジスタ。

特許出願人 富士電機株式会社 (外1名)

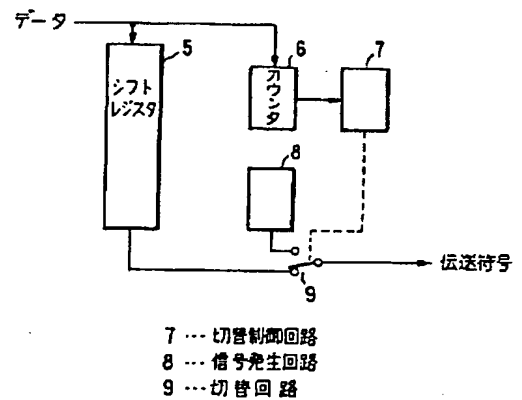
代理人 弁理士 玉 森 久 五 郎 (外2名)

(15)

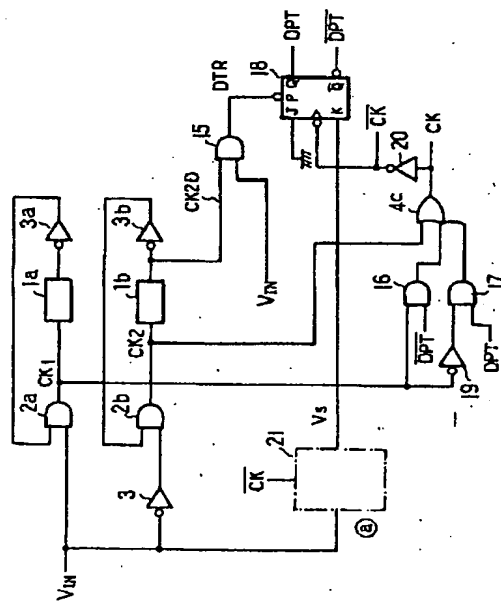
第 1 図



第 2 図

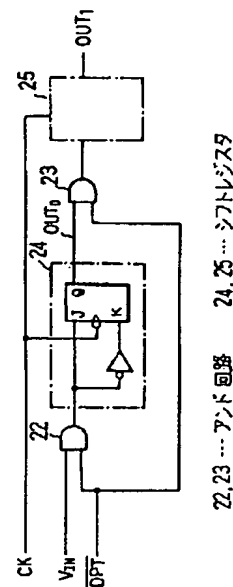


第 3 図

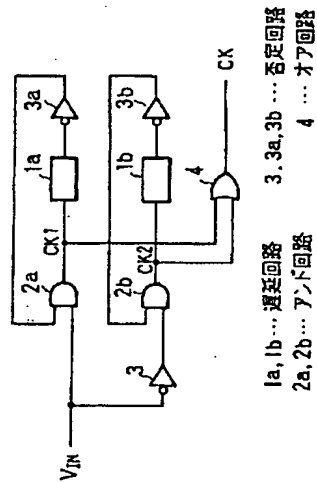


1a, 1b ... 遅延回路 15~17 ... アンド回路
2a, 2b ... アンド回路 18 ... フリップフロップ
3, 3a, 3b ... 否定回路 19~20 ... 否定回路
4c ... オア回路 21 ... シフトレジスタ

第 4 図

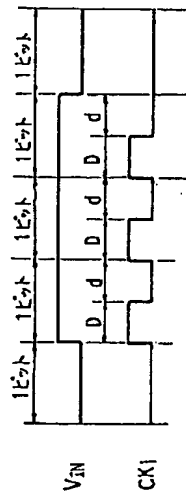


第 6 図

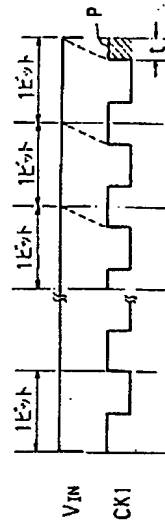


第 7 図

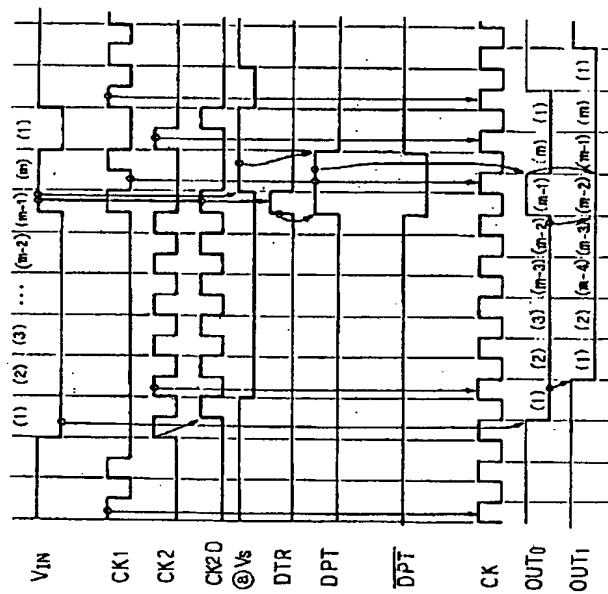
(a)



(b)



第 5 図



BEST AVAILABLE COPY